



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06276198
(43)Date of publication of application: 30.09.1994

(51)Int.Cl.
H04L 12/28
H04L 12/56

(21)Application number: 05058895 (71)Applicant: NEC CORP
(22)Date of filing: 18.03.1993 (72)Inventor: YOSHIDA ATSUSHI

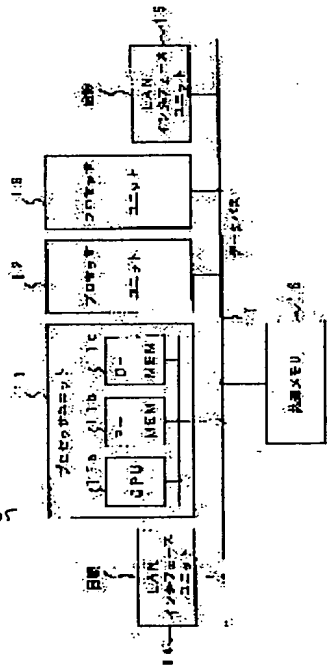
(54) PACKET SWITCHBOARD

(57)Abstract:

PURPOSE: To increase the number of packet switching processings per unit time by providing plural processor units and performing the switching processing of reception packets with the units being mutually independent.

CONSTITUTION: The processor units (PU) 11-13 are independently operated. For instance, the CPU 11a of the PU 11 is operated by a program stored in a P-MEM 11b, makes access through a data bus 17 to a common memory 16 and investigates the presence/absence of unprocessed packets. When the presence is discriminated, a header is extracted from the unprocessed packet. The CPU 11a compares the contents of a table stored in a D-MEM 11c with the destination address of the extracted header and decides whether or not to output the packet. When it is the packet to be outputted, the CPU 11a rewrites a source address to a present station address and generates an updated header. Then, the updated header is attached to the pertinent packet to be defined as an updated packet and it is outputted from the common memory 16 through the data bus 17 on a line by a LAN interface unit 15 as an output packet.

if packet to output, CPU rewrites a source address to a present station address



Best Available Copy

LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-276198

(43) 公開日 平成6年(1994)9月30日

(51) IntCl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/28

12/56

8732-5K

H 0 4 L 11/ 00

3 1 0 Z

8529-5K

11/ 20

1 0 2 Z

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平5-58895

(22) 出願日

平成5年(1993)3月18日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 吉田 厚

東京都港区芝五丁目7番1号 日本電気株式会社内

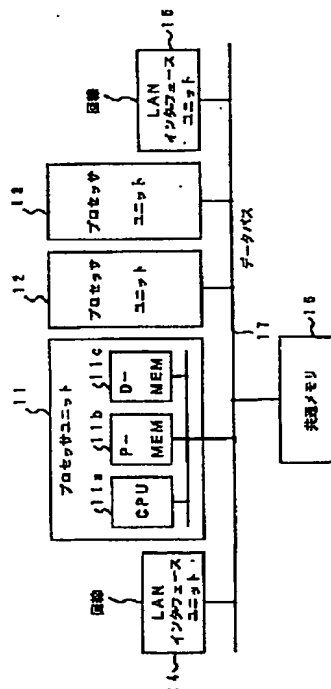
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 パケット交換装置

(57) 【要約】

【目的】 パケット交換装置において単位時間あたりのパケット交換処理数を大きくする。

【構成】 第1乃至第3のプロセッサユニット11乃至13を備えており、プロセッサユニットは共通メモリ16に書き込まれたパケットが未処理状態であるか否かを判定して互いに独立して交換処理を行う。



1

【特許請求の範囲】

【請求項1】 パケットを受信パケットとして受け該受信パケットを交換処理して出力パケットとして出力するパケット交換装置において、複数のプロセッサユニットを備え、該プロセッサユニットは互いに独立して前記交換処理を行うようにしたことを特徴とするパケット交換装置。

【請求項2】 請求項1に記載されたパケット交換装置において、前記受信パケットが書き込まれる共通メモリを備えており、前記プロセッサユニットはそれぞれ前記受信パケットが未処理パケットであるか否かを判定する手段と、該受信パケットが未処理パケットであると判定されると前記未処理パケットのヘッダーに所定の処理を施して交換処理済パケットとする手段とを有し、該交換処理済パケットを前記出力パケットとして出力するようにしたことを特徴とするパケット交換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパケット交換装置に関し、特に、マルチプロセッサ方式を用いたパケット交換装置に関する。

【0002】

【従来の技術】 従来、パケット交換装置としてマイクロプロセッサを用いた所謂小規模パケット交換装置が知られている。この小規模パケット交換装置では一般に一個のマイクロプロセッサを用いているため、単位時間あたりのパケット交換処理数（以下スループットと呼ぶ）を大きくすることが難しい。

【0003】 スループットを向上させるため、マルチプロセッサ方式によるパケット交換装置が知られており、このようなパケット交換装置は、例えば、IEEE Network Magazine の1991年1月号に発表されたチータバートの論文“High Speed Transport”に開示されている。

【0004】 ところで、パケット交換装置では次のようにして交換処理を行う。

【0005】 (1) 受信パケットからヘッダー部分を抽出する。

【0006】 (2) 抽出ヘッダーの内容を解析して、解析結果に基づいて抽出ヘッダーを新しい情報に書き替え、書替ヘッダーとするとともにパケットを送出すべき出力ポートを決定する。

【0007】 (3) 書替ヘッダーをパケットに付加して出力ポートに転送する。

【0008】 上述の論文においては、上記の交換処理を複数のマイクロプロセッサで分割して実行している。

【0009】 このように、一連の交換処理を複数のマイクロプロセッサで行うことによって、交換処理の一部を他のマイクロプロセッサで行うことができるため、つまり、交換処理を同時並行的に行うことができるから、一

2

般的には、スループットを向上させることが可能となる。

【0010】

【発明が解決しようとする課題】 ところが、上述のようなパケット交換装置では、マイクロプロセッサ間で情報転送を行う必要があり、マイクロプロセッサの台数が多くなればなるほどマイクロプロセッサ間での情報転送量が多くなって、並行処理によるスループット改善よりもマイクロプロセッサ間情報転送に要する時間が長くなってしまふ。つまり、マイクロプロセッサの台数が多くなると、マイクロプロセッサ間情報転送時間が無視できなくなってしまい、マイクロプロセッサ数が多くなるほどスループット改善度が低くなってしまふという問題点がある。

【0011】 本発明の目的はスループットの改善度が著しいマルチプロセッサ方式を用いたパケット交換装置を提供することにある。

【0012】

【課題を解決するための手段】 本発明によれば、パケットを受信パケットとして受け該受信パケットを交換処理して出力パケットとして出力するパケット交換装置において、複数のプロセッサユニットを備え、該プロセッサユニットは互いに独立して前記交換処理を行うようにしたことを特徴とするパケット交換装置が得られ、前記プロセッサユニットはそれぞれ前記受信パケットが未処理パケットであるか否かを判定する手段と、該受信パケットが未処理パケットであると判定されると前記未処理パケットのヘッダーに所定の処理を施して交換処理済パケットとする手段とを有し、該交換処理済パケットを前記出力パケットとして出力する。

【0013】

【実施例】 以下本発明について実施例によって説明する。

【0014】 図1を参照して、図示のパケット交換装置は第1乃至第3のプロセッサユニット11乃至13を備えている。そして、第1のプロセッサユニット11はCPU11a、プログラムメモリ(P-MEM)11b、及びデータメモリ(D-MEM)11cを備えており、これらCPU11a、P-MEM11b、及びD-MEM11cはローカルバス11dによって互いに接続されている。なお、図示しないが、第2及び第3のプロセッサユニット12及び13も第1のプロセッサユニット11と同様の構成要素を備えている。

【0015】 パケット交換装置はさらにLANインターフェースユニット14及び15と共通メモリ16とを備えており、第1乃至第3のプロセッサユニット11乃至13、LANインターフェースユニット14及び15、及び共通メモリ16はデータバス17によって互いに接続されている。

【0016】 送信元から連続的に回線に送出されたパ

3

ケットはLANインターフェースユニット14で到来バケットとして受信され、データバス17を介して順次共通メモリ16に書き込まれる。第1乃至第3のプロセッサユニット11乃至13ではデータバス17を介して常時共通メモリ16を監視している。

【0017】図2も参照して、第1乃至第3のプロセッサユニット11乃至13は独立して動作している。ここで、第1のプロセッサユニット11に着目して、CPU11aはP-MEM11bに格納されたプログラムに基づいて動作する。CPU11aではデータバス17を介して共通メモリ16をアクセスして未処理の到来バケット（以下単に未処理バケットと呼ぶ）が共通メモリ16内に存在するか否かを判断する（ステップs1）。共通メモリ16内に未処理バケットがあると判断すると、CPU11aではこの未処理バケットからヘッダーを抽出する（ステップs2）。なお、複数の未処理バケットが存在する場合には、複数の未処理バケットのうちの一つについてヘッダーを抽出することになる。

【0018】D-MEM11cには宛先アドレス毎に対応して出力するか否かを示す情報が格納されたテーブルが設定されており、CPU11aでは抽出ヘッダー内の宛先アドレスによってテーブルを参照して、当該ヘッダー、つまり、バケットを出力するか否かを決定する（ステップs3）。出力すべきバケットであると、CPU11aではヘッダー内の発信元アドレスを自局アドレスに書き替えて更新ヘッダーを生成する。（ステップs4）。そして、CPU11aでは更新ヘッダーを該当するバケットに付け替えて更新バケットとする（ステップs5）。

【0019】このようにして、更新されたバケット（更新バケット）はLANインターフェースユニット15によって共通メモリ16からデータバス17を介して回線上に出力バケットとして出力されることになる。

【0020】図1及び図3を参照して、第2及び第3のプロセッサユニット12及び13においても第1のプロセッサユニット11と同様の交換処理を行っており、例えば、図3に示すように第1乃至第3の到来バケットが順次共通メモリ16に書き込まれたとすると、まず、第1の到来バケットが共通メモリ16に書き込まれた段階で、例えば、第1のプロセッサユニット11はプログラ

4

ム実行を行い、第1の更新バケットを生成する。第1のプロセッサユニット11でプログラム実行中に第2の到来バケットが共通メモリ16に書き込まれたとすると、第2のプロセッサユニット12はプログラム実行を行い、第2の更新バケットを生成する。第2のプロセッサユニット12でプログラム実行中に第1の更新バケットの生成が終了してこの第1の更新バケットは第1の出力バケットとして出力されることになる。また、第2のプロセッサユニット11でプログラム実行中に第3の到来バケットが共通メモリ16に書き込まれたとすると、第3のプロセッサユニット13はプログラム実行を行い、第3の更新バケットを生成する。第3のプロセッサユニット13でプログラム実行中に第2の更新バケットの生成が終了してこの第2の更新バケットは第2の出力バケットとして出力されることになる。そして、最後に第3の更新バケットが第3の出力バケットとして出力される。

【0021】なお、上述の実施例では3台のプロセッサユニットを有するバケット交換装置について説明したが、複数のプロセッサユニットを備えていればよく、これらプロセッサユニットを独立的に動作させれば、同様に交換処理を行うことができる。

【0022】

【発明の効果】以上説明したように本発明では、複数のプロセッサユニットを独立して動作させるようにしたから、プロセッサ間で情報転送を行う必要がなく並列処理ができ、この結果、プロセッサ数に比例してスループットが向上するという利点がある。

【図面の簡単な説明】

【図1】本発明によるバケット交換装置の一実施例を示すブロック図である。

【図2】図1に示すバケット交換装置において各プロセッサユニットの処理を説明するための流れ図である。

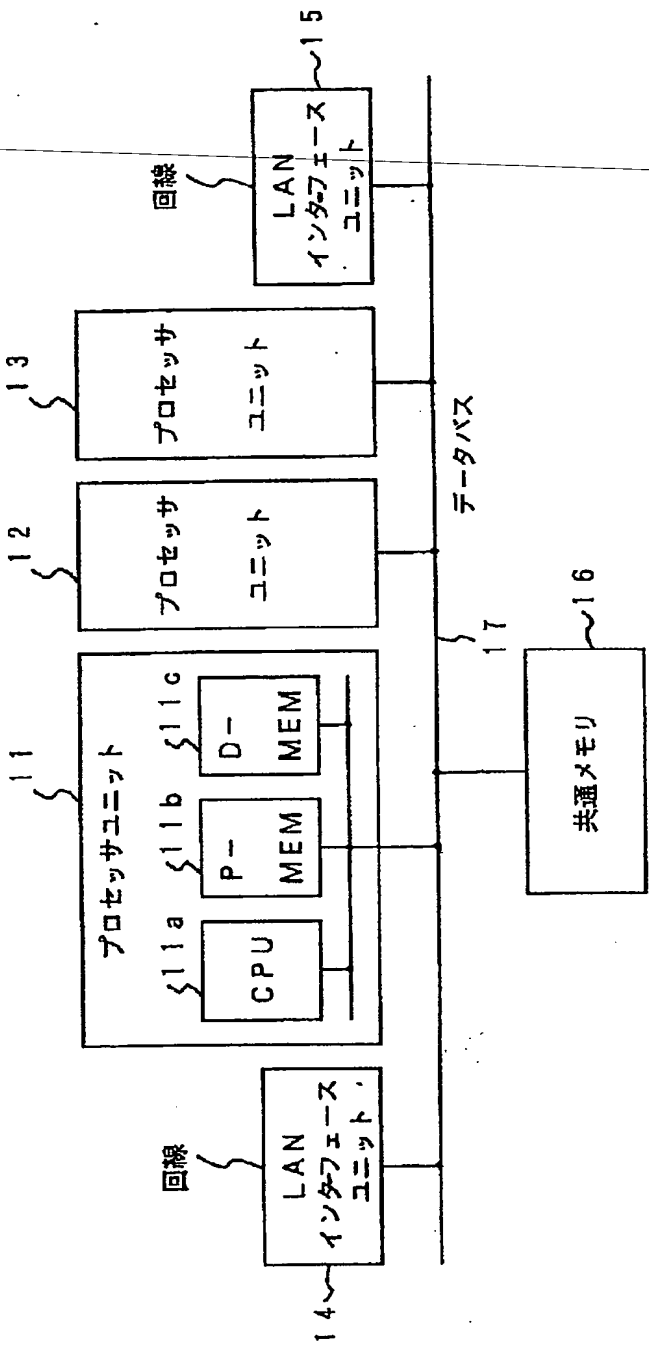
【図3】図1に示すバケット交換装置においてバケット交換手順を説明するための図である。

【符号の説明】

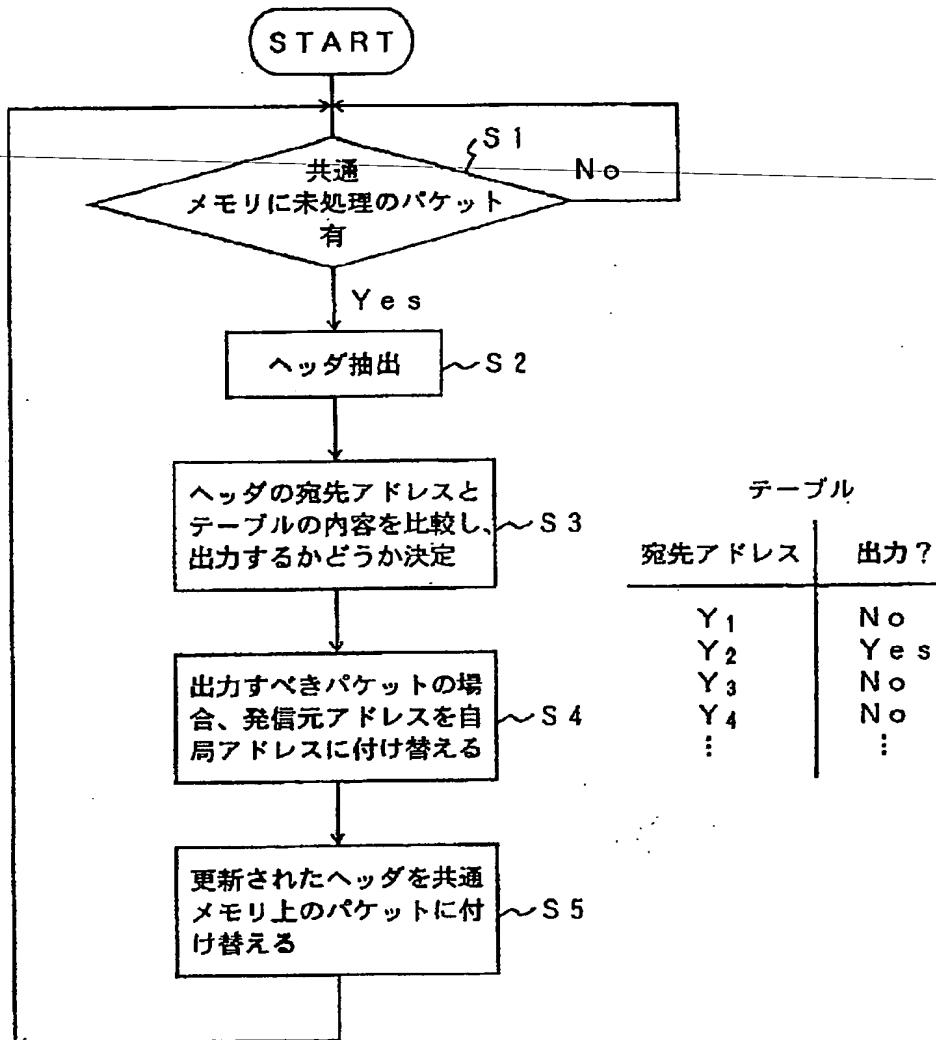
11, 12, 13 プロセッサユニット
14, 15 LANインターフェースユニット
16 共通メモリ
17 データバス

(4)

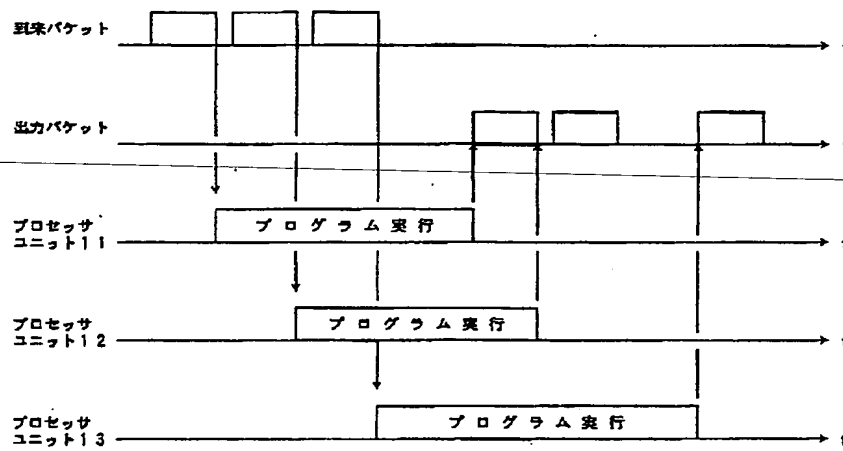
【図1】



【図2】



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.